

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月 1 8 日  
Date of Application:

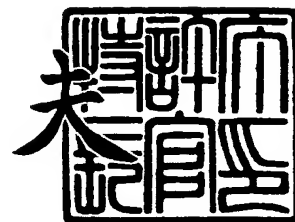
出 願 番 号                      特 願 2 0 0 3 - 2 0 7 6 9 5  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 2 0 7 6 9 5 ]

出      願      人                      株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年 1 0 月    1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000206355

【提出日】 平成15年 8月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 9

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 佐貫 朋也

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板内に形成され、ゲート電極を有するソース／ドレイン領域としての第 1 の素子領域と、

前記第 1 の素子領域の周囲に形成された素子分離領域と、

前記第 1 の素子領域の対向する 2 辺に形成され、内部に前記素子分離領域が形成された凹部と

を具備することを特徴とする半導体装置。

【請求項 2】 前記凹部は、前記第 1 の素子領域のチャネル長方向両側に形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記凹部は、前記第 1 の素子領域のチャネル幅方向両側に形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 1 の素子領域は、前記凹部のうちチャネル幅方向の長さが、当該第 1 の素子領域と前記チャネル幅方向に離間して形成された第 2 の素子領域との間隔より大きいことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 1 の素子領域は、前記凹部のうちチャネル長方向の長さが、当該第 1 の素子領域と前記チャネル長方向に離間して形成された第 3 の素子領域との間隔より大きいことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記素子分離領域は、前記第 1 の素子領域の材料が有する熱膨張係数より熱膨張係数が小さい材料からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記第 1 の素子領域は、Si からなり、  
前記素子分離領域は、SiO<sub>2</sub> からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記半導体装置は、N 型半導体装置であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記半導体基板は、歪み Si 層を備え、この歪み Si 層の上

に前記第1の素子領域及び前記素子分離領域が形成され、

前記第1の素子領域はSiからなり、前記素子分離領域はSiO<sub>2</sub>からなり、前記半導体装置はP型半導体装置であることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の構造に係わり、特に半導体装置における素子領域の形状に関する。

【0002】

【従来の技術】

近年、半導体装置の微細化が進められている。半導体装置の微細化及び電流駆動力等の性能向上を実現するために、所定のスケーリング則にしたがってスケールダウンが行われる。半導体装置をスケールダウンする場合、半導体基板に形成された素子領域と、素子領域間を電氣的に分離するために設けられる素子分離領域についてもスケールダウンする必要がある。

【0003】

ところが、上記素子領域に形成されたMOSトランジスタのソース／ドレイン領域としての拡散層を縮小していくことにより、上記半導体装置の性能変動が発生することが指摘されている。この性能変動の原因は、素子分離領域に埋め込まれた絶縁体からのストレスが素子領域に生じるためである。具体的には、素子分離領域として、例えば基板内にトレンチが形成され、このトレンチ内に絶縁体が埋め込まれた所謂STI (Shallow Trench Isolation) において、絶縁体から素子領域にストレスが及ぶ。このストレスにより、素子領域上に形成したMOSトランジスタの電子又はホールの変位度が変化し、半導体装置に性能変動が生じる(非特許文献1)。

【0004】

【非特許文献1】

G.Scott et al., IEDM Tech.Dig., 1999年, p.827-830

## 【0005】

## 【発明が解決しようとする課題】

現在のCMOSデバイスでは、例えば素子領域にSi、素子分離領域にTEOS等のSiO<sub>2</sub>系の材料が用いられている。このため、素子分離領域からのストレスは、素子領域を圧縮する方向に生じる。これは、SiO<sub>2</sub>の熱膨張係数がSiに比べて小さいためである。すなわち、各材料が高温の処理状態から常温となった際、SiO<sub>2</sub>に比べてSiの方が収縮の度合いが大きい。このため、素子領域は素子分離領域から圧縮方向のストレスを受ける。よって、素子領域上に形成されたN型MOSトランジスタでは、圧縮ストレスにより、電子の移動度が減少するため、ソース／ドレイン領域の面積が大きいトランジスタに比べて性能が劣化する。

## 【0006】

この発明は、上記のような事情に鑑みてなされたもので、半導体基板に形成された素子領域に加わるストレスを変化させることで、素子領域に形成される素子の性能の向上が可能な半導体装置を提供することを目的とする。

## 【0007】

## 【課題を解決するための手段】

上記目的を達成するためにこの発明の一側面に係る半導体装置は、半導体基板と、前記半導体基板内に形成され、ゲート電極を有するソース／ドレイン領域としての第1の素子領域と、前記第1の素子領域の周囲に形成された素子分離領域と、前記第1の素子領域の対向する2辺に形成され、内部に前記素子分離領域が形成された凹部とを有する。

## 【0008】

## 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

## 【0009】

## (第1の実施形態)

図1は、第1の実施形態に係り、半導体基板に形成された素子領域と、この素子領域上に形成されたMOSトランジスタの主要部を示す平面図である。

## 【0010】

半導体基板、例えばSi基板上には、素子領域10、20、30、40が形成される。各素子領域の間には図示せぬトレンチが形成され、このトレンチ内に絶縁体、例えばTEOS等のSiO<sub>2</sub>を埋め込んで素子分離領域50が形成される。また、素子領域10にはN型MOSトランジスタが形成される。

## 【0011】

すなわち、素子領域10には、ゲート絶縁膜を介して例えばポリシリコンからなるゲート電極11が形成される。ゲート電極11の両側には、ソース及びドレイン領域S/Dが形成される。これらソース及びドレイン領域S/Dは、素子領域内に例えばN型の不純物イオンを注入することにより形成される。また、ソース及びドレイン領域には、コンタクトとなる伝導体電極12が形成され、この伝導体電極12に図示せぬ配線が接続される。この実施形態は、例えばスタンダードセルに適用されるトランジスタを示している。しかし、本実施形態はスタンダードセルに限定されるものではない。

## 【0012】

ところで、素子領域10を構成するソース/ドレイン領域S/Dは、チャネル長方向の2辺がゲート電極11に近接するように、窪んだ凹部10a、10bを有している。2つの凹部10a、10bは、例えば同一の形状を有している。例えば素子領域10のチャネル幅方向の長さ1aを1[μm]、素子領域10のチャネル長方向の長さ1bを0.5[μm]とした場合、これら凹部10a、10b及び凹部周辺の寸法は、例えば次のようである。凹部10a、10bに隣接する4つの突起部10c、10d、10e、10fのチャネル幅方向の長さ1cは0.1[μm]、凹部10a、10bのチャネル幅方向の長さ1eは0.8[μm]、凹部10a、10bのチャネル長方向の長さ1dは0.1[μm]、素子領域10とチャネル幅方向に隣接する素子領域20との距離1fは0.1[μm]、ゲート電極11の幅は0.05[μm]である。上記寸法は一例であり、これに限定されるわけではない。

## 【0013】

図2は、図1に示した半導体基板における2-2線に沿った方向の断面図であ

る。図2中に示した矢印は素子領域に生じるストレスの方向と大きさを表す。

#### 【0014】

図2において、素子分離領域51は、素子領域10と素子領域20との間に形成された素子分離領域を表す。素子分離領域52は、素子領域10の凹部10a内に形成された素子分離領域を表す。

#### 【0015】

素子分離領域50（素子分離領域51，52を含む）の材料SiO<sub>2</sub>は、素子領域10の材料Siより熱膨張係数が小さい。このため、例えば熱処理によりトレンチにSiO<sub>2</sub>を埋め込んだ後、半導体基板の温度が常温まで低下すると、素子領域10は素子分離領域50より大きく収縮する。このため、素子分離領域50から素子領域10に対して圧縮する方向にストレスが生じる。

#### 【0016】

この場合、素子領域10の凹部10aの長さleを、素子領域10と素子領域20との距離lfより大きくしている。よって、凹部10a内の素子分離領域52が素子領域10の突起部10cに生じさせるストレスは、チャンネル幅方向に隣接する素子領域間の素子分離領域51が素子領域10の突起部10cに生じさせるストレスよりも物理的に大きくなる。このため、素子領域10全体としてはチャンネル幅方向に伸張するようにストレスが働く。突起部10eに対してチャンネル幅方向に隣接する素子領域（図示せず）がある場合も、同様に突起部10eには素子領域10をチャンネル幅方向に伸張するようにストレスが働く。これにより、素子領域10は、全体としてチャンネル幅方向に伸張する。突起部10d、10fについても同様である。このため、素子領域周辺の素子分離領域により生じる素子領域への圧縮ストレスを緩和することができる。

#### 【0017】

以上詳述したように第1の実施形態では、素子領域10のチャンネル長方向の側面に凹部10a，10bを設け、この凹部10a，10b内に素子分離領域の一部を配置している。この素子分離領域50の材料は素子領域10の材料より熱膨張係数が小さい材料を用いている。さらに、上記凹部10a，10bの長さleを、素子領域10と素子領域20との距離lfより大きく設定している。



## 【0018】

したがって、本実施形態によれば、素子分離領域の一部により、素子領域10全体をチャンネル幅方向に押圧することができる。このため、素子分離領域から素子領域に生じるストレスにより、素子領域をチャンネル幅方向に伸張することが可能となる。この結果、N型MOSトランジスタにおいては、素子領域が伸張するため、電子の移動度が増加し、N型MOSトランジスタの性能を向上させることができる。

## 【0019】

また、凹部10a、10bの長さを変えることで、素子領域に生じるストレスを任意に変化させることが可能となる。

## 【0020】

(第2の実施形態)

第2の実施形態は、素子領域のチャンネル幅方向の2辺に凹部を形成する。そして、素子領域をチャンネル長方向に伸張させるように構成したものである。

## 【0021】

図3は、第2の実施形態における半導体基板に形成された素子領域と、この素子領域上に形成されたMOSトランジスタの主要部を示す平面図である。

## 【0022】

半導体基板(本実施形態では、例えばSi基板)上には、素子領域60、20、30、40が形成される。各素子領域の間には図示せぬトレンチが形成され、このトレンチ内に絶縁体例えばTEOS等のSiO<sub>2</sub>を埋め込んで素子分離領域70が形成される。また、素子領域60にはN型MOSトランジスタが形成される。N型MOSトランジスタの構成については上記第1の実施形態と同様であり、詳しい説明は省略する。

## 【0023】

素子領域60としてのソース/ドレイン領域S/Dは、チャンネル幅方向の2辺に凹部60a、60bを有している。2つの凹部60a、60bは、例えば同一の形状を有している。例えば素子領域60のチャンネル幅方向の長さlgを1[μm]、素子領域60のチャンネル長方向の長さlhを0.5[μm]とした場合、こ

れら凹部 60 a、60 b 及び凹部周辺の寸法は、例えば次のようである。凹部 10 a、10 b に隣接する 4 つの突起部 60 c、60 d、60 e、60 f のチャンネル長方向の長さ  $l_i$  は  $0.1 [\mu\text{m}]$ 、凹部 60 a、60 b のチャンネル長方向の長さ  $l_k$  は  $0.3 [\mu\text{m}]$ 、凹部の 60 a、60 b のチャンネル幅方向の長さ  $l_j$  は  $0.1 [\mu\text{m}]$ 、素子領域 60 とチャンネル長方向に隣接する素子領域 40 との距離  $l_l$  は  $0.1 [\mu\text{m}]$ 、ゲート電極幅は  $0.05 [\mu\text{m}]$  である。上記寸法は一例であり、これに限定されるわけではない。

#### 【0024】

図 4 は、図 3 に示した半導体基板における 4-4 線に沿った方向の断面図である。図 4 中に示した矢印は素子領域に生じるストレスの方向と大きさを表す。

#### 【0025】

図 4 において、素子分離領域 71 は、素子領域 60 と素子領域 40 との間に形成された素子分離領域を表す。素子分離領域 72 は、素子領域 60 の凹部 60 a に形成された素子分離領域を表す。

#### 【0026】

素子分離領域 70（素子分離領域 71、72 を含む）の材料  $\text{SiO}_2$  は、素子領域 60 の材料  $\text{Si}$  より熱膨張係数が小さい。このため、例えば熱処理によりトレンチに  $\text{SiO}_2$  を埋め込んだ後、半導体基板の温度が常温まで低下すると、素子領域 60 は素子分離領域 71、72 より大きく収縮する。このため、素子分離領域 71、72 から素子領域 60 に対して圧縮する方向にストレスが生じる。

#### 【0027】

この場合、素子領域 60 の凹部 60 a の長さ  $l_k$  を、素子領域 60 と素子領域 40 との距離  $l_l$  より大きくしている。よって、凹部 60 a 内の素子分離領域 72 が素子領域 60 の突起部 60 d に生じさせるストレスは、チャンネル長方向に隣接する素子領域間の素子分離領域 71 が突起部 60 d に生じさせるストレスよりも物理的に大きくなる。このため、素子領域 60 全体としてはチャンネル長方向に伸張するようにストレスが働く。突起部 60 c に対してチャンネル長方向に隣接する素子領域（図示せず）がある場合も、同様に突起部 60 c には素子領域 60 をチャンネル長方向に伸張するようにストレスが働く。これにより、素子領域 60 は

、全体としてチャンネル長方向に伸張する。突起部 60 f、60 e についても同様である。このため、素子領域周辺の素子分離領域による素子領域への圧縮ストレスを緩和することができる。

#### 【0028】

以上詳述したように第2の実施形態では、素子領域 60 のチャンネル幅方向の側面に凹部 60 a、60 b を設け、この部 60 a、60 b 内に素子分離領域 70 の一部を配置している。この素子分離領域 70 の材料に素子領域 60 の材料より熱膨張係数が小さい材料を用いている。さらに、上記凹部 60 a、60 b の長さ l k を、素子領域 60 と素子領域 40 との距離 l l より大きく設定している。

#### 【0029】

したがって、本実施形態によれば、素子分離領域の一部により、素子領域 60 全体をチャンネル長方向に押圧することができる。このため、素子分離領域から素子領域に生じるストレスにより、素子領域をチャンネル長方向に伸張することが可能となる。この結果、N型MOSトランジスタにおいては、素子領域が伸張するため、電子の移動度が増加し、N型MOSトランジスタの性能を向上させることができる。

#### 【0030】

また、凹 60 a、60 b の長さを変えることで、素子領域に生じるストレスを任意に変化させることが可能となる。

#### 【0031】

##### (第3の実施形態)

第3の実施形態は、半導体基板に歪み Si 層を形成し、この歪み Si 層に上記第1の実施形態で示した素子領域 10 及び素子分離領域 50 と同一形状の素子領域 10 A 及び素子分離領域 50 A を形成する。さらに、この素子領域 10 A に P 型 MOS トランジスタを形成する。なお、本実施形態における半導体基板に形成された素子領域 10 A と、この素子領域 10 A 上に形成された MOS トランジスタとを表す平面図は、第1の実施形態で示した図1と同一構成であるため平面図及び関連する説明については省略する。

#### 【0032】

図5は、この発明の第3の実施形態の半導体基板における図1に示した2-2方向と同一部分の断面図である。図5中に示した矢印は素子領域10Aに生じるストレスの方向と大きさを表す。

#### 【0033】

本実施形態で使用する半導体基板は、支持基板としての第1のSi層110、絶縁層としてのSiO<sub>2</sub>層100、SiGe層90、素子が形成される活性層としての第2のSi層80が順次積層されて形成される。このように形成された半導体基板において、第2のSi層80は、SiGe層90の効果により引っ張り歪みが発生する。

#### 【0034】

ところで、P型MOSトランジスタにおいては、P型MOSトランジスタが形成される層に生じる伸張の大きさ（例えば、歪みSiによる引っ張り歪み）が所定値を超えると、キャリアとしてのホールの移動度が増加する。よって、上記引っ張り歪みにより伸張した第2のSi層80の上に形成されたP型MOSトランジスタは、キャリアとしてのホールの移動度が増加する。

#### 【0035】

一方、P型MOSトランジスタが形成されている素子領域10Aの形状は、図1で示した素子領域10と同様に、チャネル長方向の2辺に凹部を有している。したがって、上記第1の実施形態と同様に、素子領域10Aはチャネル幅方向に伸張する。このため、素子領域周辺の素子分離領域による素子領域へのストレスを緩和することができる。

#### 【0036】

以上詳述したように第3の実施形態では、歪みSi層に素子領域10A及びP型MOSトランジスタを形成している。また、この素子領域10Aのチャネル長方向の側面に凹部を設け、素子分離領域50Aの材料に素子領域10Aの材料より熱膨張係数が小さい材料を用いている。さらに、上記凹部のチャネル幅方向の長さを、素子領域10Aと素子領域20Aとの分離距離より大きくなるようにしている。

#### 【0037】

したがって本実施形態によれば、歪みSi層の効果による引っ張り歪みによる素子領域の伸張に加えて、素子分離領域から素子領域に生じるストレスにより、素子領域をさらにチャネル幅方向に伸張することが可能となる。この結果、P型MOSトランジスタにおいては、素子領域が伸張されることでキャリアとしてのホールの移動度が増加し、P型MOSトランジスタの性能を向上させることができる。

#### 【0038】

また、凹部分の幅の長さを変えることで、素子領域に生じるストレスを任意に変化させることが可能となる。

#### 【0039】

また、上記歪みSi層に形成する素子領域を上記第2の実施形態で示した素子領域と同一形状にすることでも、P型MOSトランジスタの性能を向上させることができる。

#### 【0040】

また上記第3の実施形態では、歪みSi層に形成されるトランジスタとしてP型MOSトランジスタを使用している。しかしこれに限定されるものではなく、N型MOSトランジスタについても適用可能である。

#### 【0041】

また同様に、上記第1の実施形態及び第2の実施形態においては、P型MOSトランジスタについても適用可能である。

#### 【0042】

また上記各実施形態では、STIにより素子分離領域を形成するように説明している。しかし、LOCOS (Local Oxidation Of Silicon) により素子分離領域を形成するようにしてもよい。

#### 【0043】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能なことは勿論である。

#### 【0044】

#### 【発明の効果】

半導体基板に形成された素子領域に加わるストレスを変化させることで、素子領域に形成される素子の性能の向上が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施形態における半導体基板に形成された素子領域と、この素子領域上に形成された MOS トランジスタの主要部を示す平面図。

【図 2】

図 1 に示した半導体基板における 2-2 線に沿った方向の断面図。

【図 3】

この発明の第 2 の実施形態における半導体基板に形成された素子領域と、この素子領域上に形成された MOS トランジスタの主要部を示す平面図。

【図 4】

図 3 に示した半導体基板における 4-4 線に沿った方向の断面図。

【図 5】

この発明の第 3 の実施形態の半導体基板における図 1 に示した 2-2 線に沿った方向と同一部分の断面図。

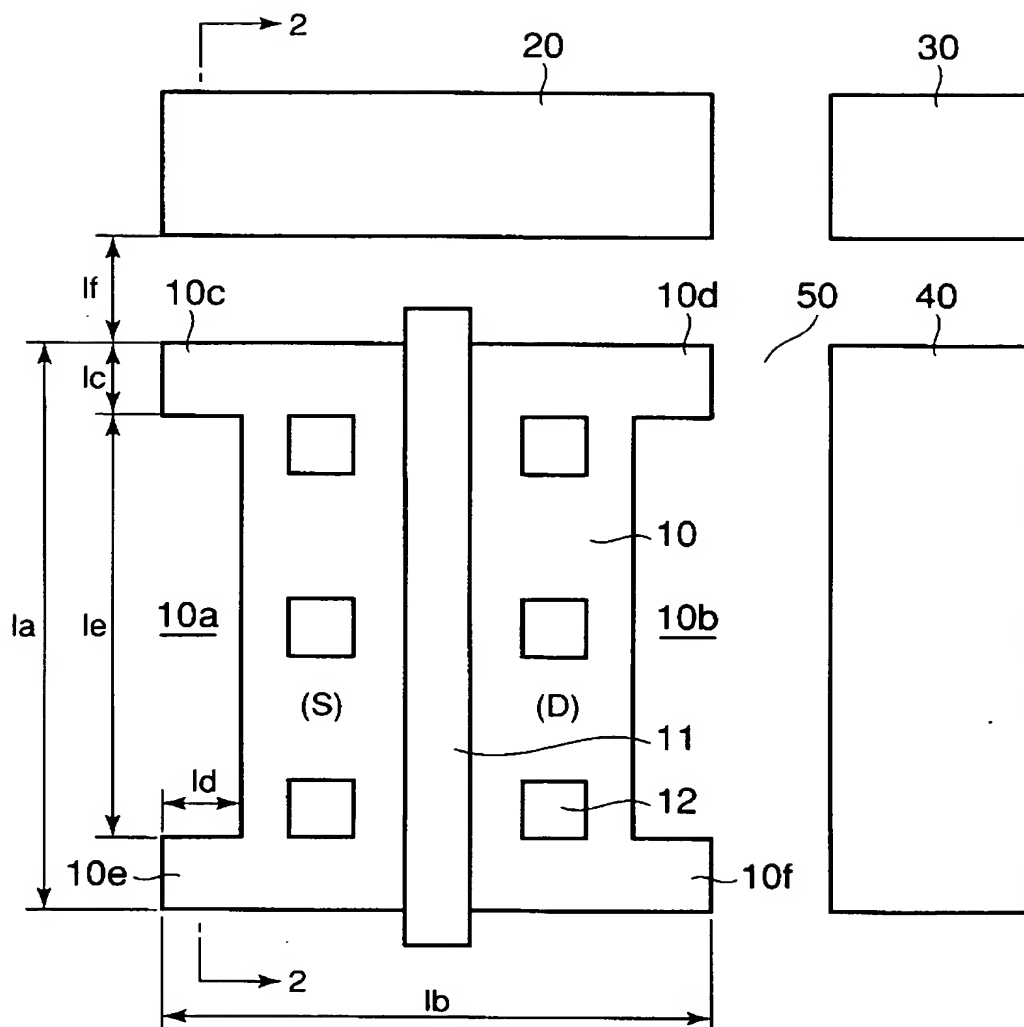
【符号の説明】

10, 10c, 10d, 10e, 10f, 20, 30, 40, 60, 60c, 60d, 60e, 60f, 10A, 20A…素子領域、11…ゲート電極、12…伝導体電極、10a, 10b, 50, 51, 52, 60a, 60b, 70, 71, 72, 51A, 52A…素子分離領域、80…第 2 の Si 層、90…SiGe 層、100…SiO<sub>2</sub> 層、110…第 1 の Si 層。

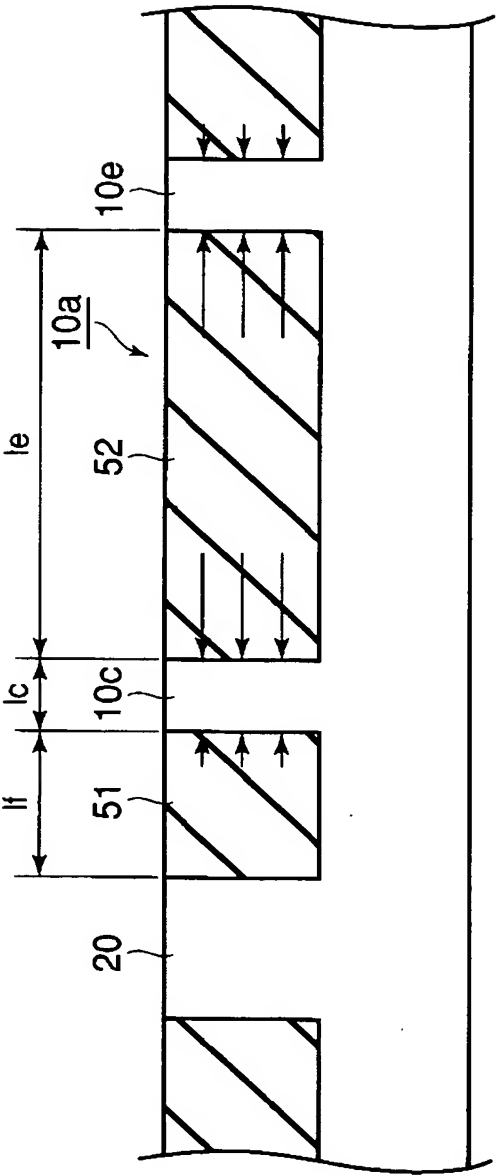
【書類名】

図面

【図 1】

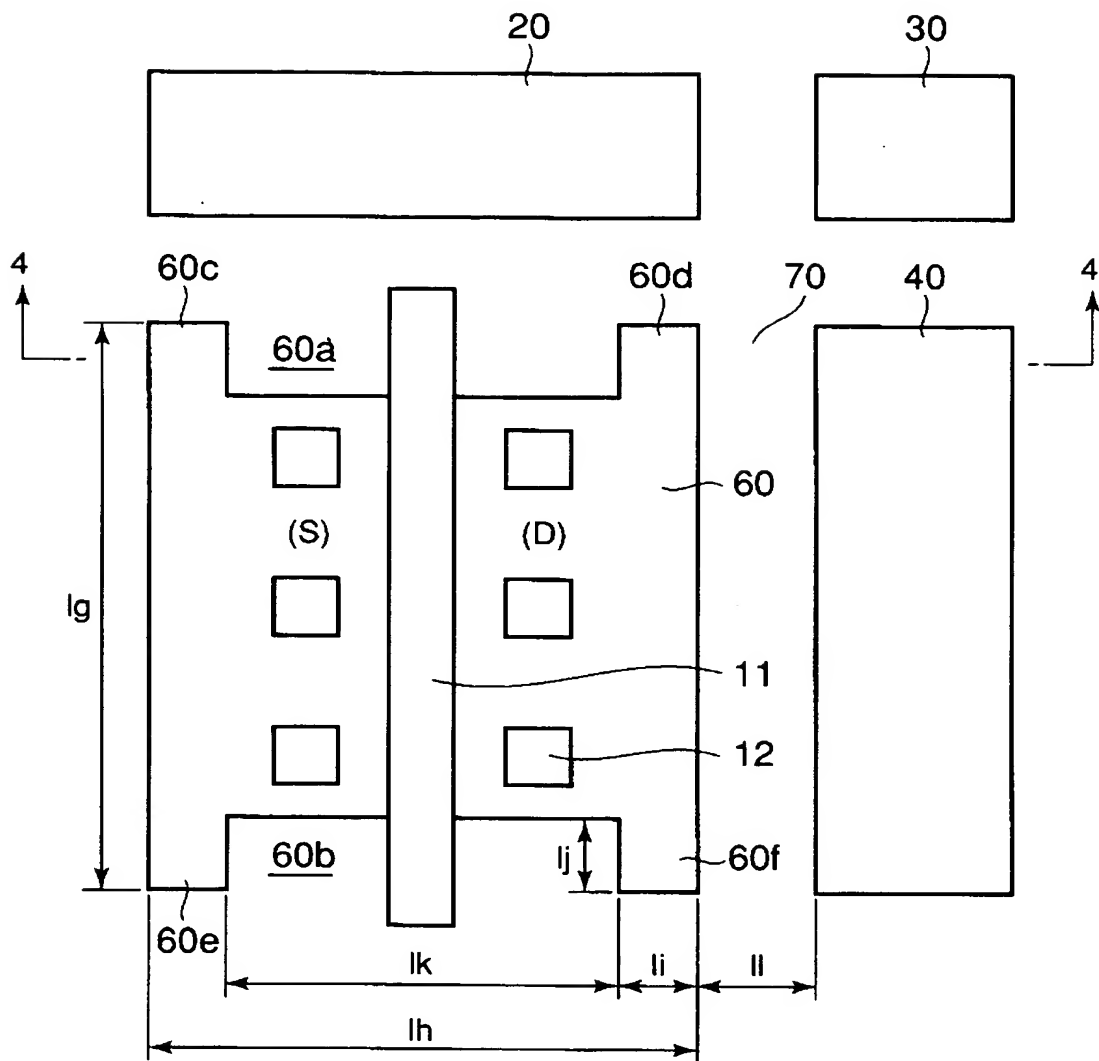


【図 2】

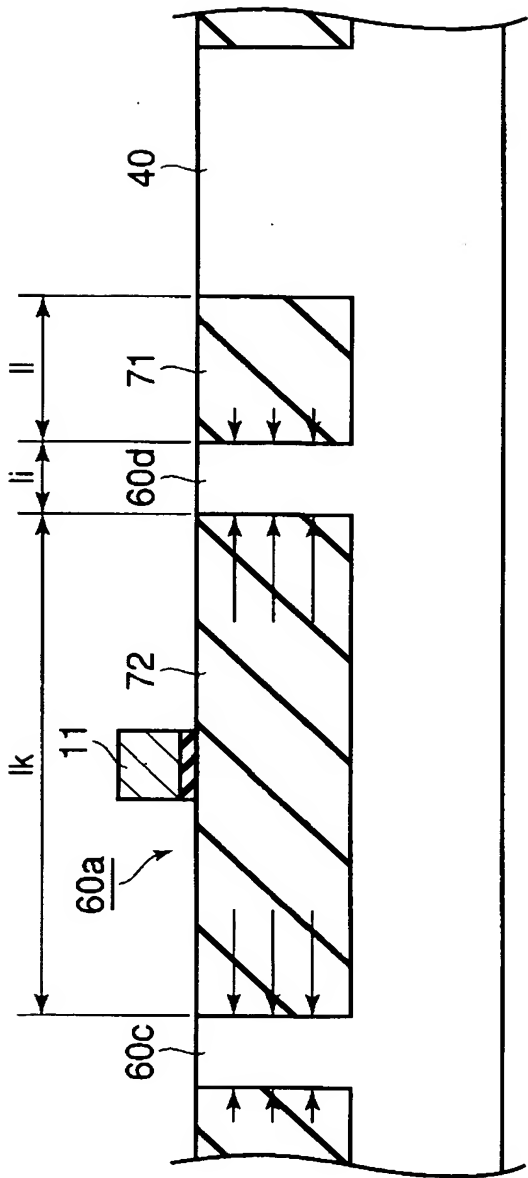




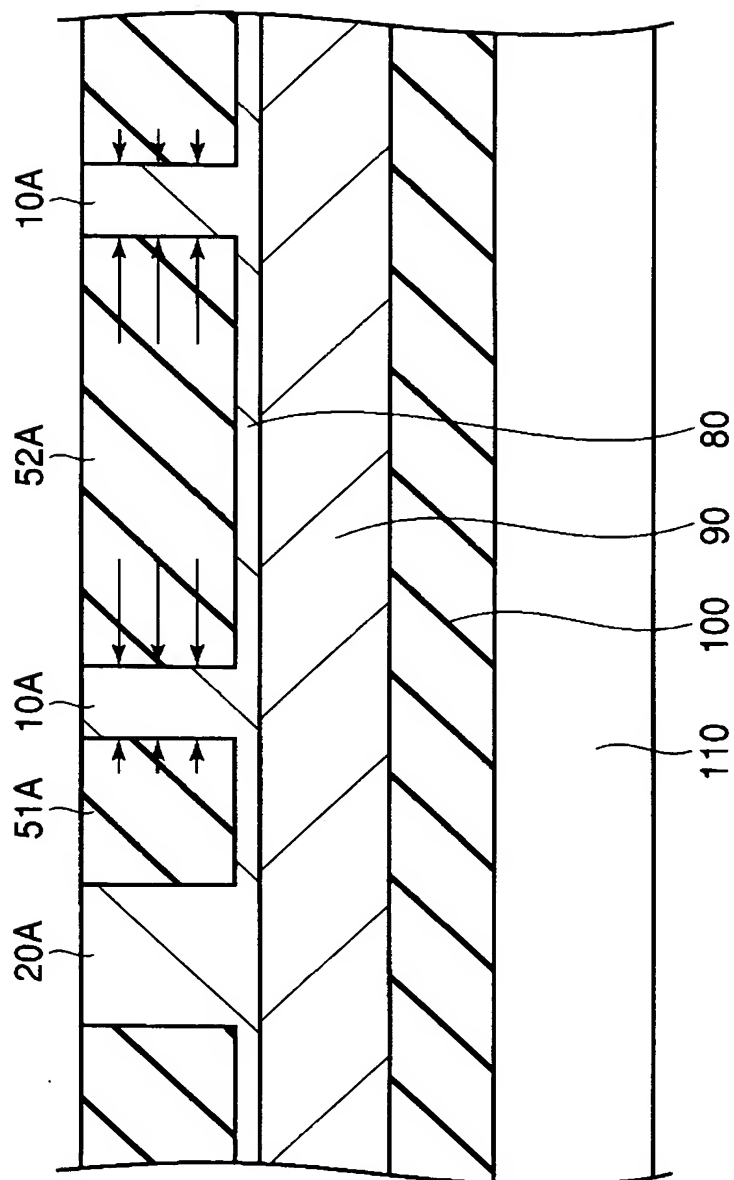
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 半導体基板に形成された素子領域に加わるストレスを変化させることで、素子領域に形成される MOS トランジスタの性能を向上する。

【解決手段】 半導体装置は、半導体基板と、前記半導体基板内に形成され、ゲート電極を有するソース／ドレイン領域としての第 1 の素子領域と、前記第 1 の素子領域の周囲に形成された素子分離領域と、前記第 1 の素子領域の対向する 2 辺に形成され、内部に前記素子分離領域が形成された凹部とを有する。

【選択図】 図 1

特願 2 0 0 3 - 2 0 7 6 9 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝